

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[First Hit](#)☐ [Generate Collection](#)

L1: Entry 1 of 1

File: JPAB

Jun 29, 2001

PUB-NO: JP02001176296A

DOCUMENT-IDENTIFIER: JP 2001176296 A

TITLE: DYNAMIC MEMORY DEVICE PERFORMING STRESS TEST

PUBN-DATE: June 29, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

HATAKEYAMA, ATSUSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP11352370

APPL-DATE: December 10, 1999

INT-CL (IPC): G11 C 29/00; G11 C 11/401

ABSTRACT:

PROBLEM TO BE SOLVED: To perform a stress test detecting defect between a pair of bit lines in a short time.

SOLUTION: More pairs of bit lines are simultaneously connected to a data bus line at the time of a stress test mode than that at the time of a normal write-in mode, and voltage of a H level and a L level are applied to a pair of bit line simultaneously connected from a write-in amplifier connected to the data bus line. After that, a sense amplifier of a selected pair of bit lines is activated with timing being different from timing at the time of a normal write-in mode, the pair of bit lines is driven, and sufficient voltage is applied. Further, the data bus line has a global data bus line and plural local data bus lines which can be connected to the above, in the case of such constitution that a pair of bit lines is connected selectively to the local data bus line, at the stress test mode, more data bus lines are connected to the global data bus lines than that of at the normal write-in mode. And, a write-in amplifier is connected to the global data line.

COPYRIGHT: (C)2001,JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-176296

(P2001-176296A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 29/00 11/401	6 7 1	G 1 1 C 29/00 11/34	6 7 1 F 5 B 0 2 4 3 7 1 A 5 L 1 0 6

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願平11-352370

(22) 出願日 平成11年12月10日 (1999.12.10)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 畠山 淳

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外1名)

Fターム(参考) 5B024 AA15 BA06 BA09 BA25 BA29

CA07 CA15 CA27 EA02

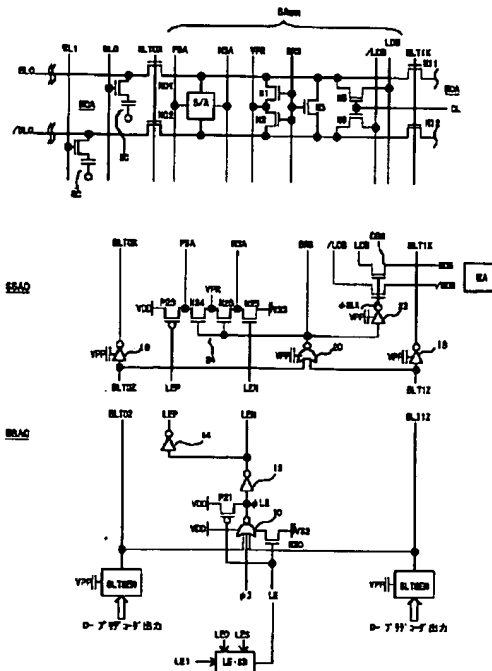
5L106 AA01 DD01 DD36 EE02

(54) 【発明の名称】 ストレス試験を行うダイナミックメモリデバイス

(57) 【要約】

【課題】ビット線対間の不良を顕在化するストレス試験を短時間で行う。

【解決手段】ストレス試験モードの時に、通常の書き込みモード時より多くのビット線対がデータバス線に同時に接続され、データバス線に接続された書き込みアンプから同時接続されたビット線対にHレベルとLレベル電圧を印加する。その後、通常の書き込みモード時とは異なるタイミングで、選択されたビット線対のセンスアンプを活性化して、上記ビット線対を駆動し十分な電圧を印加する。更に、データバス線が、グローバルデータバス線とそれに接続可能な複数のローカルデータバス線とを有し、ビット線対は、ローカルデータバス線に選択的に接続される構成の場合は、前記ストレス試験モード時に、通常の書き込みモード時より多くのローカルデータバス線がグローバルデータバス線に接続される。そして、書き込みアンプはグローバルデータバス線に接続されている。



【特許請求の範囲】

【請求項1】複数のビット線対と複数のワード線と、それらの交差位置に設けられた複数のメモリセルとを有するダイナミックメモリデバイスにおいて、書き込みアンプが接続されたデータバス線と、前記ビット線対に設けられ、前記ビット線対を駆動するセンスアンプとを有し、ストレス試験モードの時に、通常書き込みモード時より多い前記ビット線対が前記データバス線に同時に接続され、前記書き込みアンプから同時接続された前記ビット線対にHレベルとLレベルの電圧が印加され、その後、前記選択されたビット線対の前記センスアンプの活性化が開始され、当該ビット線対が駆動されることを特徴とするダイナミックメモリデバイス。

【請求項2】請求項1において、

更に、前記書き込みアンプに書き込みデータを供給するデータ入力端子を有し、前記ストレス試験モード時において、前記データ入力端子から供給された書き込みデータに従って、前記書き込みアンプが前記接続されたビット線対に電圧を印加することを特徴とするダイナミックメモリデバイス。

【請求項3】請求項1において、

前記ストレス試験モード時において、前記センスアンプを活性化するタイミングで、外部からセンスアンプ活性化タイミング信号が供給されることを特徴とするダイナミックメモリデバイス。

【請求項4】請求項1において、

更に、前記ビット線対、ワード線、メモリセル及びセンスアンプをそれぞれ有する複数のメモリバンクを有し、前記通常書き込みモード時において、前記複数のメモリバンクそれぞれで、選択されたビット線対が前記データバス線に接続され、前記ストレス試験モード時において、前記メモリバンク内で、前記通常書き込みモード時より多いビット線対が前記データバス線に同時に接続されることを特徴とするダイナミックメモリデバイス。

【請求項5】請求項1において、

前記データバス線は、第1のゲートを介して前記ビット線対に接続される複数のローカルデータバス線と、当該ローカルデータバス線に第2のゲートを介して接続されるグローバルデータバス線とを有し、前記書き込みアンプが前記グローバルデータバス線に接続され、前記通常書き込みモード時において、選択されたローカルデータバス線が前記第2のゲートを介して前記グローバルデータバス線に接続され、前記ストレス試験モード時において、前記通常書き込みモード時より多い複数のローカルデータバス線が前記第2のゲートを介して前記グローバルデータバス線に接続され、前記書き込みアンプにより前記グローバルデータバス線、前記複数のロー

カルデータバス線を介して、前記複数のビット線対にHレベル及びLレベルの電圧が印加されることを特徴とするダイナミックメモリデバイス。

【請求項6】複数のビット線対と複数のワード線と、それらの交差位置に設けられた複数のメモリセルとを有するダイナミックメモリデバイスにおいて、書き込みアンプが接続されたデータバス線と、前記ビット線対に設けられ、前記ビット線対を駆動するセンスアンプとを有し、

第1の動作モード時において、前記センスアンプが活性化された後に、選択されたビット線対が前記データバス線に接続され、前記書き込みアンプから前記選択されたビット線対にHレベル及びLレベルの電圧が印加され、第2の動作モード時において、前記第1の動作モード時よりも多いビット線対が前記データバス線に接続され、前記書き込みアンプから前記接続されたビット線対にHレベル及びLレベルの電圧が印加された後に、前記センスアンプが活性化されることを特徴とするダイナミックメモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミックメモリデバイスに関し、特に、ストレス試験において、ビット線対間に有効にHレベルとLレベルを印加することができるダイナミックメモリデバイスに関する。

【0002】

【従来の技術】ダイナミックメモリデバイス（またはDRAM）は、大容量で高速化が要求されると共に、高い信頼性も要求されている。信頼性向上の手段として、出荷前にデバイスにストレスを印加して、製造時に形成された欠陥を顕在化させるストレス試験が行われる。このストレス試験では、メモリデバイスの不良の典型例である、隣接するビット線対間のショート状態を顕在化するために、隣接するビット線対間に交互にHレベルとLレベルの電圧を一定時間与え、製造時にビット線対間に発生した中途半端な欠陥を完全な欠陥に変化させて顕在化させる。かかるストレス印加後に、動作試験をすることにより、市場に信頼性の低い不良品が出るのを防いでいる。

【0003】

【発明が解決しようとする課題】しかしながら、通常のメモリデバイスでは、外部からビット線対に電圧を印加するためには、ライトコマンドを利用して、外部端子、書き込みアンプ、データバス線、ビット線対の経路で、選択された1対のビット線対にHレベルとLレベルの電圧を印加しなければならない。大容量のダイナミックメモリデバイスは、複数のメモリバンクを有し、各メモリバンク内に複数のメモリブロックで構成され、各メモリブロック内に複数のビット線対を有するメモリセルアレイが設けられる。その場合、複数のメモリバンクを同時

に活性化する動作モードを利用して、各メモリバンク内のビット線対に外部から所望の電圧を同時に印加することはできる。但し、メモリバンク内では、通常、単一のメモリブロックしか選択できず、メモリブロック内でも、単一のビット線対しか選択できない。

【0004】従って、通常動作での機能を利用するかぎり、ストレス試験において、チップ全体のうち極少数のビット線対にしか、同時にHレベル/Lレベルの電圧を与えることができない。従って、ストレス試験に長い時間がかかり、結果的に製品の試験コストが上がってしまう。

【0005】従来、ダイナミックメモリデバイスにおいて、動作試験等の何らかの理由から、メモリブロック内の複数のビット線対、または全ビット線対を選択して、データバス線対に接続する機能が提案されている。更に、複数のメモリブロックを選択して、グローバルデータバス線対を複数のメモリブロックのローカルデータバス線対に接続する機能も提案されている。このような機能を追加することにより、ストレス試験時において、同時にHレベルとLレベル電圧を印加できるビット線対の本数を増やして、ストレス試験時間を短縮することが考えられる。

【0006】しかし、上記の複数ビット線対選択機能や複数メモリブロック選択機能などを利用して、従来のライトコマンドを利用する限りは、複数のビット線対に接続されるセンスアンプを全て反転させるだけのドライブ能力をライトアンプに期待することは不可能である。センスアンプを活性化することは、ビット線対を十分Hレベル及びLレベルに駆動するためには必要であり、かかるセンスアンプの存在は、ストレス試験において複数のビット線対に同時にストレスを印加する場合に弊害となる。

【0007】そこで、本発明の目的は、ストレス試験時間を短縮したメモリデバイスを提供することにある。

【0008】更に、本発明の目的は、複数のビット線対にH、Lレベルの電圧を同時に印加することが可能なメモリデバイスを提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の側面は、ストレス試験モードの時に、通常書き込みモード時より多くのビット線対がデータバス線に同時に接続され、データバス線に接続された書き込みアンプから同時接続されたビット線対にHレベルとLレベル電圧を印加する。その後、通常書き込みモード時とは異なるタイミングで、選択されたビット線対のセンスアンプを活性化して、上記ビット線対を駆動し十分な電圧を印加する。

【0010】上記の第1の側面において、データバス線が、グローバルデータバス線とそれに接続可能な複数のローカルデータバス線とを有し、ビット線対は、ローカ

ルデータバス線に選択的に接続される構成の場合は、前記ストレス試験モード時に、通常書き込みモード時より多くのローカルデータバス線がグローバルデータバス線に接続される。そして、書き込みアンプはグローバルデータバス線に接続されている。

【0011】通常書き込みモードでは、ワード線が駆動された後にセンスアンプが活性化されてビット線対が駆動され、その後、書き込みアンプからビット線対を駆動して書き込みデータがメモリセルに書き込まれる。従って、書き込みアンプは、選択されたビット線に接続されたセンスアンプを反転させることが必要である。それに対して、本発明の第1の側面では、ストレス試験モードにおいて、書き込みアンプでビット線対を駆動した後に、センスアンプを駆動するので、書き込みアンプが複数のセンスアンプを反転する必要がなく、書き込みアンプで複数のビット線対を駆動することが可能になる。

【0012】より好ましい実施例では、外部からストレス試験モード信号を特定の信号またはコマンドによりメモリデバイスに与え、データ入力端子からストレス印加のデータ信号を与えて、通常モード時よりも多い複数のビット線対をデータバス線に接続し、書き込みアンプからビット線対をHレベルとLレベルに駆動する。一定時間経過後のタイミングで、外部からセンスアンプ活性化タイミング信号を与えて、選択されたビット線対に対応するセンスアンプを活性化し、ビット線対をHレベルとLレベルに駆動する。上記のデータ信号とセンスアンプ活性化タイミング信号は、内部回路によって特別に生成されるようにしてもよい。

【0013】上記の発明によれば、既存の書き込みアンプを利用して、複数のビット線対に対して同時にストレスを印加することができるので、ストレス試験時間を短縮することができる。

【0014】上記の目的は、本発明の第2の側面では、複数のビット線対と複数のワード線と、それらの交差位置に設けられた複数のメモリセルとを有するダイナミックメモリデバイスにおいて、書き込みアンプが接続されたデータバス線と、前記ビット線対に設けられ、前記ビット線対を駆動するセンスアンプとを有し、ストレス試験モードの時に、通常書き込みモード時より多い前記ビット線対が前記データバス線に同時に接続され、前記書き込みアンプから同時接続された前記ビット線対にHレベルとLレベルの電圧が印加され、その後、前記通常書き込みモード時とは異なるタイミングで、前記選択されたビット線対の前記センスアンプが活性化され、当該ビット線対が駆動されることを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0016】図1は、本実施の形態例におけるダイナミ

ックメモリデバイスの全体構成図である。図面の左側にチップ1が示され、図面の右側にチップ1内の1つのメモリバンクBNK0の構成が拡大して示される。図1に示されたチップ1内には、8つのメモリバンクBNK0~BNK7と、周辺回路部2とが設けられる。各メモリバンク内には、図1の右側に示される通り、複数のメモリブロックBLK0~BLK3に分割され、メインワードデコーダMWDECの列3と、サブワードデコーダSWDECの列5と、コラムデコーダCDECの列4とが設けられる。周辺回路部2には、図示しないが、動作コマンドに従って種々の制御信号を生成するタイミングジェネレータや、アドレスバッファ、データバッファ、アドレスデコーダ等が設けられる。

【0017】メモリブロックBLKn内では、図示しない複数のビット線対と、ワード線と、それらの交差位置に設けられた複数のメモリセルとを有するメモリセルアレイMCAが、複数の分割して配置され、各メモリセルアレイMCAは、サブワードデコーダSWDECによりワード線が選択され、隣接するセンスアンプSAによりビット線対が駆動される。

【0018】センスアンプ回路部SAの列6は、両側にメモリセルアレイMCAを有し、一方のメモリセルアレイのビット線対がセンスアンプ回路部SAに接続される場合は、他方のメモリセルアレイのビット線対はセンスアンプ回路部SAから切断される。即ち、両側のメモリセルアレイMCAにより共有されるシェアード型センスアンプである。

【0019】従って、メモリブロックBNKnは、ローアドレスをデコードするメインワードデコーダ、より具体的にはビット線トランスファ信号生成回路、により生成されたブロック選択信号により選択され、選択されたメモリセルアレイMCAのビット線対がセンスアンプSAに接続される。従って、センスアンプの選択はブロック選択信号に基づいて行われる。また、メモリセルアレイ内のビット線対は、コラムアドレスをデコードするコラムデコーダにより生成されたコラム選択信号により選択され、図示しないデータバス線に接続される。

【0020】図2は、メモリセルアレイとセンスアンプ列の構成図である。図2には、図1のメモリブロックBLK1、BLK2の一部が示される。メモリセルアレイMCAの間に、センスアンプSAの列が配置される。メモリセルアレイMCA内には、複数のビット線対BL_i/BLとそれに交差する複数のワード線WLとが設けられ、それらの交差位置に図示されないメモリセルが配置される。例えば、センスアンプ回路部SA00には、両側にビット線対BL_i/BLが配置され、サブセンスアンプ制御回路SSACが生成するビット線トランスファ信号BLT0X_iにより選択された側のビット線対が、センスアンプ回路部SA00に接続される。

【0021】ワード線WLは、ローアドレスの一部をデコ

ードするメインワードデコーダMWDECにより、メインワード線MWLが選択され、更にローアドレスの別の一部をデコードするサブワードデコーダSWDECにより、ワード線WLが選択され、駆動される。各サブワードデコーダSWDECは、対応するメモリセルアレイMCA内のワード線WLを駆動する。

【0022】センスアンプとビット線対との接続や、センスアンプの活性化等を制御する回路は、メインセンスアンプ制御回路MSACと、サブセンスアンプ制御回路SSACとで構成される。メインセンスアンプ制御回路MSACは、メモリブロックBLKnに共通に設けられ、サブセンスアンプ制御回路SSACは、各メモリセルアレイMCA毎に設けられ、それに隣接するセンスアンプ回路の列を直接制御する。センスアンプとビット線対との接続を制御するビット線トランスファ信号BLT0X_i、1Xは、その論理反転信号BLT0Z_i、1Zから生成される。また、センスアンプの活性化を制御するセンスアンプ活性化信号PSA、NSAは、センスアンプ活性化タイミング信号LEにตอบสนองして生成される。本実施の形態例では、センスアンプ活性化タイミング信号LEは、通常動作時は、内部で所定のタイミングで生成され、ストレス試験時は、外部から適切なタイミングで供給される。

【0023】ストレス試験モード信号φ1、φ2は、ストレス試験モード時に生成され、それぞれサブセンスアンプ制御回路SSACと、メインセンスアンプ制御回路MSACとに供給され、複数のビット線対を同時にデータバス線に接続するよう制御する。ストレス試験モード信号φ1、φ2は、好ましくは、全ての制御回路MSAC、SSACに供給され、全てのメモリブロックの選択、全てのセンスアンプの活性化を可能にする。

【0024】図2に示される通り、データバス線対は、複数のメモリブロックBLKnに共通に設けられたグローバルデータバス線対GDB_i/GDBと、各センスアンプ列毎に設けられた複数のローカルデータバス線対LDB_i/LDBとを有する。グローバルデータバス線対GDB_i/GDBとローカルデータバス線対LDB_i/LDBとの間は、ブロック選択信号φBLKにより制御されるデータバスゲートDBGにより、選択的に接続される。但し、ストレス試験モード時には、これらのブロック選択信号φBLKが通常動作時よりも多く選択され、より好ましくは全て選択状態になり、データバスゲートDBGが全て導通し、複数のローカルデータバス線対LDB_i/LDBがグローバルデータバス線対GDB_i/GDBと同時に接続される。ブロック選択信号φBLKは、ローアドレスの一部をデコードする図示しないビット線トランスファ信号発生回路により生成される。

【0025】図3は、センスアンプ回路部SA₀₀と、メインセンスアンプ制御回路MSACと、サブセンスアンプ制御回路SSACの具体的な回路図である。図中、電源VDD、電源VDDより高い昇圧電源VPP、グラウンド電源VSSがそれぞれ示される。インバータやNORゲートなどは、特に表示

しなければ、電源VDDとグラウンドVSSとに接続されたCMOS回路である。また、NチャネルMOSトランジスタは引用番号Nで、PチャネルMOSトランジスタは引用番号Pでそれぞれ示す。

【0026】図3の上部には、センスアンプ回路部SA_{mn}とその両側にメモリセルアレイMCAが示される。センスアンプ回路部SA_{mn}内には、(1)センスアンプ活性化信号PSA、NSAにตอบสนองして、ビット線対間の電圧差を検出して駆動するセンスアンプS/Aと、(2)ビット線リセット信号BRSにตอบสนองして、ビット線対間を短絡すると共にビット線対をプリチャージ電圧VPRに接続するビット線リセット回路を構成するトランジスタN1、N2、N3と、(3)コラム選択信号CLにตอบสนองして、ビット線対BL、/BLとローカルデータバス線対LDB、/LDBとを接続するコラムゲート回路のトランジスタN5、N6とが設けられる。

【0027】センスアンプ回路部SA_{mn}の両側には、ビット線トランスファゲートN01、N02とN11、N12が設けられ、これらのビット線トランスファゲートを介して、左右のビット線対BL、/BLがセンスアンプ回路部に選択的に接続される。ビット線トランスファゲートN01、N02とN11、N12は、サブセンスアンプ制御回路SSACが生成するビット線トランスファ信号BLT0x、1xによって、導通と非導通とが制御される。

【0028】メモリセルアレイMCA内には、複数のビット線対BL、/BLと、複数のワード線WL0、WL1と、それらの交差位置の1トランジスタと1キャパシタからなるメモリセルMCとが設けられる。

【0029】メインセンスアンプ制御回路MSACと、サブセンスアンプ制御回路SSACとによりセンスアンプ回路部を制御する制御信号群が生成される。これらの制御信号群の、ビット線トランスファ信号BLT0x、1x、センスアンプ活性化信号NSA、PSA、ビット線リセット信号BRSは、センスアンプ回路部SA_{mn}が配置されるセンスアンプ列領域上に延びるように配置され、それぞれのセンスアンプ回路部SA_{mn}内の動作を制御する。

【0030】メインセンスアンプ制御回路MSACには、ローアドレスをデコードした図示しないロープリデコーダの出力を供給され、ビット線トランスファ信号BLT0z、1zを生成するビット線トランスファ信号生成回路BLTGENが設けられる。更に、メインセンスアンプ制御回路は、ビット線トランスファ信号BLT0z、1zとストレス試験モード信号φ1とが供給されるNORゲート10と、そのNORゲート10をセンスアンプ活性化タイミング信号LEにより活性化するトランジスタN20、P21と、インバータ12、14を有する。

【0031】このメインセンスアンプ制御回路MSACでは、通常動作時に、プリチャージ状態のL、Lレベルから、ビット線トランスファ信号BLT0z、1zのいずれか一方がHレベルになる時に、NORゲート10の出力がHレ

ベル可能状態になる。このHレベル可能状態において、その後センスアンプ活性化タイミング信号LEがHレベルになるタイミングで、タイミング信号φLEがLレベルになる。その結果、センスアンプ活性化タイミング信号対LEN、LEPは、Hレベル、Lレベルにそれぞれ制御される。つまり、ビット線トランスファ信号BLT0z、1zは、メモリブロックBLKが非選択状態の場合は、両方ともLレベルを維持し、メモリブロックBLKが選択状態の場合は、一方がHレベルになる。従って、選択されたメモリブロックにおいて、センスアンプ活性化タイミング信号対LEN、LEPがHレベル/Lレベルになる。非選択のメモリブロックにおいては、センスアンプ活性化タイミング信号対LEN、LEPはLレベル/Hレベルである。

【0032】このセンスアンプ活性化タイミング信号対LEN、LEPは、サブセンスアンプ制御回路SSAC内のセンスアンプ活性化信号生成回路24のトランジスタN26、P23に供給され、活性化タイミング信号対LEN、LEPがHレベル/Lレベルの時(メモリブロック選択状態)は、センスアンプ活性化信号NSAがグラウンドVSSレベル、PSAが電源VDDレベルに駆動され、センスアンプS/Aが活性化される。逆に、信号対LEN、LEPがLレベル/Hレベルの時(メモリブロック非選択状態)は、センスアンプ活性化信号NSA、PSAが共にプリチャージレベルVPRのままであり、センスアンプS/Aは活性化されない。

【0033】サブセンスアンプ制御回路SSACでは、プリチャージ状態において、ビット線トランスファ信号BLT0z、1zが共にLレベルの間は、それらをインバータ16、18により反転したビット線トランスファ信号BLT0x、1xは、共にHレベルのまま、ビット線トランスファゲートN01、N02とN11、N12に供給され、それらのゲートを導通する。この状態では、両側のビット線対がセンスアンプ回路部のプリチャージ回路等に接続されている。NORゲート20には、ビット線トランスファ信号BLT0z、1zが供給され、それらが共にLレベルの間は、ビット線リセット信号BRSはHレベルであり、トランジスタN1、N2、N3が導通状態になり、両側のビット線対が短絡されるとともに、プリチャージ電圧VPRに接続される。また、センスアンプ活性化信号発生回路24内のトランジスタN24、N25も導通状態になり、センスアンプ活性化信号PSA、NSAは共にプリチャージ電圧VPRに維持され、センスアンプS/Aは非活性化状態を維持する。

【0034】プリチャージ状態からアクティブ状態になると、ビット線トランスファ信号BLT0z、1zのいずれか一方がHレベルになり、NORゲート20の出力のビット線リセット信号BRSはLレベルになる。それにตอบสนองして、ビット線リセット回路のトランジスタN1、N2、N3は全て非導通状態になり、センスアンプ活性化信号生成回路24内のトランジスタN24、N25も非導通状態になる。

【0035】前述の通り、ビット線トランスファ信号BLT0z、1zのいずれか一方がHレベルになることは、そのメ

メモリブロックが選択されたことを意味する。従って、メモリブロックの選択によりビット線リセット信号BRSがLレベルになると、インバータ22を介して、ブロック選択信号φBLKがHレベルになり、データバスゲートDBGを導通して、そのメモリブロックに属するローカルデータバス線対LDB、/LDBをグローバルデータバス線対GDB、/GDBに接続する。

【0036】更に、ビット線トランスファ信号BLT0z, 1zのいずれか一方がHレベルになることにより、その反転信号BLT0x, 1xのいずれか一方がLレベルになる。その結果、非選択側のビット線対に対応するビット線トランスファゲートN01, N02, N11, N12が非導通になり、非選択側のビット線対がセンスアンプS/Aから分離される。

【0037】次に、ストレス試験モード時には、ストレス試験モード信号φ1, φ2が共にHレベルになる。これらの信号φ1, φ2の違いは、信号φ1のHレベルが昇圧電源VPPレベルであり、信号φ2のHレベルが電源VDDレベルであることだけであり、そのロジックは同じである。ストレス試験モード信号φ1, φ2は、メモリバンク内の全てのセンスアンプ制御回路MSAC, SSACに供給される。このストレス試験モード信号φ1, φ2は、ストレス試験モード時に共にHレベルになり、全てのメモリブロックを選択状態にし、全てのブロック選択信号φBLKを活性状態のHレベルにする。

【0038】更に、ストレス試験モード時は、センスアンプ活性化タイミング信号LEのHレベルに反応して、センスアンプ活性化信号PSA, NSAが活性化状態のL、Hレベルになり、センスアンプ活性化タイミング信号LEのタイミングで、センスアンプS/Aを活性化する。このセンスアンプ活性化タイミング信号LEには、通常動作時は、内部で生成されるタイミング信号LE0が、ストレス試験モード時は、外部から供給されるタイミング信号LE1が、それぞれ選択信号LESによって、選択される。即ち、ストレス試験モード時は、センスアンプの活性化のタイミングは、外部から制御される。

【0039】ストレス試験モード時は、全てのメモリブロックにおいて、ビット線トランスファ信号BLT0z, 1zが共にLレベルのままになり、ビット線トランスファゲートは全て導通状態になる。また、ストレス試験モード時は、全てのコラム選択信号CLがHレベルに制御される。従って、ストレス試験モード時は、全てのビット線対BL、/BLが、コラムゲートN5, N6、ローカルデータバス線対LDB、/LDB、データバスゲートDBG、グローバルデータバス線対GDB、/GDBを経由して、対応する書き込みアンプWAに接続される。

【0040】そして、センスアンプを非活性状態にしたまま、書き込みアンプWAが全てのビット線対をH、Lレベルに駆動し、所定時間後に外部からのタイミング信号に反応して、全てのセンスアンプが活性化され、ビット線対に十分なストレス電圧を印加する。

【0041】次に、本実施の形態例におけるダイナミックメモリデバイスのアクティブモード、ライトモード、及びストレス試験モードにおける動作を、周辺回路を示しながら順番に説明する。尚、ここでは、同期型DRAM (SDRAM) を例にして説明する。

【0042】現在普及しているSDRAMは、読み出し動作を行う為には、最初にローアドレスと共にアクティブコマンドを供給して、選択されたメモリセルに対応するワード線を選択して駆動し、メモリセルに記憶されたデータをビット線対に読み出す。ビット線対にデータが読み出されたタイミングで、センスアンプが活性化され、ビット線対が駆動される。アクティブコマンドに続いて、コラムアドレスと共にリードコマンドが入力され、選択されたメモリセルに対応するコラムゲートが選択され、ローカルデータバス線が選択され、グローバルデータバス線を経由して、出力回路から出力される。

【0043】SDRAMにおける書き込み動作は、上記と同じアクティブコマンドを入力した後に、コラムアドレス及び書き込みデータと共にライトコマンドを供給し、ライトアンプからグローバルデータバス線、ローカルデータバス線、コラムゲートを介して、選択されたビット線対を駆動する。この駆動動作により、逆相のデータが書き込まれる場合は、センスアンプの状態が反転される。

【0044】本実施の形態例のメモリデバイスは、上記のアクティブモードやリードモード、ライトモード等の通常動作に加えて、ストレス試験モードという別の動作モードを有する。このストレス試験モードでは、通常モードとは異なる特別のコマンド等を供給し、全ビット線対を全ローカルデータバス線とグローバルデータバス線を経由して書き込みアンプに接続し、書き込みアンプにより全ビット線対を所望のHレベル、Lレベルに駆動し、その後、外部から与えるセンスアンプ活性化タイミング信号LE1によって、全てのセンスアンプを活性化して全てのビット線対をより高いHレベルに駆動する。

【0045】以下の説明により、上記の通常動作とストレス試験モードでの動作との違いが明らかになる。

【0046】図4は、アクティブモード時の動作を説明する為の周辺回路の構成図である。また、図5は、アクティブモード時の動作波形図である。図3及び図4の構成図と図5の動作波形図に従って、アクティブモード時の動作を説明する。

【0047】クロックCLKの立ち上がりエッジに同期して、コマンド入力端子CMDからアクティブコマンドACTVが供給されると、アドレス入力AddとしてローアドレスRAがローアドレスバッファ33に取り込まれ、内部ローアドレスS11が出力される。内部ローアドレスS11は、ロープリデコーダ34に入力され、デコードされた結果のロープリデコーダ出力S12, S14, S16を出力する。ロープリデコーダ出力の一部S12は、ビット線ト

ランスファ信号生成回路BLTGENに供給され、ここでの例では、ビット線トランスファ信号生成回路BLTGENが、ビット線トランスファ信号BLT1ZをHレベルに立ち上げる。

【0048】即ち、図3に示される1対のビット線トランスファ信号BLT0z,1zの両方がLレベルの状態から、このアクティブコマンドにより、一方のビット線トランスファ信号BLT1zがHレベルになる。このことは、図3中の右側のビット線対群がセンスアンプ回路部から切り離され、左側のビット線対群が選択されることを意味する。つまり、インバータ18により、ビット線トランスファ信号BLT1xはLレベルになり、右側のビット線トランスファゲートN11,N12が共に非導通になり、センスアンプS/Aと右側のビット線対BL₁/BL₂とが切り離される。

【0049】更に、図3に示される通り、ビット線トランスファ信号BLT1zがHレベルになると、メインセンスアンプ制御回路MSAC内のNORゲート10の出力はLレベルを出力できる状態になり、サブセンスアンプ制御回路SSAC内のNORゲート20によりビット線リセット信号BRSは、Lレベルになり、リセット回路のトランジスタN1, N2, N3は全て非導通状態になる。また、リセット信号BRSのLレベルにより、ブロック選択信号φBLKがHレベルになり、データバスゲートDBGが導通し、選択ブロックのローカルデータバス線対LDB₁/LDB₂が、グローバルデータバス線対GDB₁/GDB₂に接続される。更に、リセット信号BRSがLレベルになって、センスアンプ活性化信号生成回路24内のトランジスタN24,N25が共に非導通になり、センスアンプ活性化信号PSA, NSAがプリチャージレベルVPRから切り離される。

【0050】図4に示される通り、ローアリデコード34の残りの出力S14, S16は、メインワードデコーダMWDECおよびサブワードデコーダSWDECに入力され、本例ではメインワード線MWLが選択され、ワード線WL0が選択されHレベルに駆動される。ワード線WL0の立ち上がりにより、メモリセルMCのデータがビット線BL0に出力し、記憶データに応じて、ビット線BL0を僅かに上昇または下降させる。

【0051】その後、タイミングジェネレータ30は、アクティブコマンドにより設定されたタイミングで、内部センスアンプ活性化タイミング信号LE0をHレベルにする。この時、タイミングジェネレータ30は、内部タイミング信号LE0を選択する選択信号LESを出力する。

【0052】その結果、図3に示されたタイミング信号選択回路LE-SWにより、内部センスアンプ活性化タイミング信号LE0のタイミングで、センスアンプ活性化タイミング信号LEがHレベルになり、トランジスタN20, P21に供給され、NORゲートの出力φLEをLレベルにする。これにより、更に別のセンスアンプ活性化タイミング信号LEN, LEPがそれぞれHレベル、Lレベルになり、生成回路24内のトランジスタN26と

P23と共に導通させる。その結果、センスアンプ活性化信号NSA, PSAがそれぞれグラウンド電圧VSSと電源電圧VDDになり、センスアンプS/Aを駆動する。このセンスアンプの活性化により、ビット線対間の微小電圧が検出され、ビット線対がそれぞれ電源レベルとグラウンドレベルに駆動される。

【0053】以上が、アクティブコマンドによるアクティブモード時の動作である。

【0054】図6は、ライトモード時の動作を説明する周辺回路部のブロック図である。また、図7は、ライトモード時の動作波形図である。ライトコマンドWRITEは、アクティブコマンドACTV後の所定のタイミングで、クロックCLKの立ち上がりエッジに同期して供給される。この時、同時にアドレス入力AddからコラムアドレスCA及び、データ入出力端子DQから書き込みデータDinも、クロックCLKの立ち上がりエッジに同期して供給され、それぞれコラムアドレスバッファ36と、ライトデータバッファ40に取り込まれる。

【0055】内部コラムアドレスS36は、コラムアリデコード38に入力され、デコードされ、出力S38がコラムデコーダCDECに供給される。コラムデコーダCDECは、メモリバンク内の一つのコラム選択信号CLをHレベルにする。この選択されたコラム選択信号CLにตอบสนองして、図3のコラム選択ゲートN5, N6が共に導通し、選択されたビット線対BL₁/BL₂が、ローカルデータバス線対LDB₁/LDB₂に接続される。この結果、選択されたビット線対BL₁/BL₂は、ローカルデータバス線対LDB₁/LDB₂、グローバルデータバス線対GDB₁/GDB₂を介して、書き込みアンプWAに接続される。

【0056】一方、ライトデータDinは、ライトデータバッファ40に取り込まれ、内部ライトデータS40が書き込みアンプWAに供給される。書き込みアンプWAは、この内部ライトデータS40に従って、メモリバンク内で選択された1対のビット線対BL₁/BL₂をHレベル/Lレベルに駆動する。このビット線対の駆動時に同時に、逆相のデータを書き込む場合は、書き込みアンプがそのセンスアンプS/Aの状態を反転する。

【0057】尚、リードコマンドが与えられた場合は、コラム選択信号CLがHレベルになり、センスアンプが読み出したビット線対の状態が、データバス線対を介して出力回路に伝えられる。

【0058】上記の通り、通常の書き込み動作では、少なくともメモリバンク内において、唯一のビット線対が、ローカルデータバス線対、グローバルデータバス線対を介して書き込みアンプに接続され、書き込みアンプWAは、センスアンプが活性化した状態で、選択されたビット線対を駆動すると共に、活性化状態のセンスアンプも反転させる。

【0059】次に、本実施の形態例におけるストレス試験モード時の動作について説明する。このストレス試験

モードでは、通常動作時よりも多くのビット線対（好ましくは全てのビット線対）を書き込みアンプに接続し、センスアンプ非活性化状態で、書き込みアンプがそれらのビット線対にHレベル/Lレベルの電圧を印加し、所定時間後のタイミングで、それらのビット線対に対応するセンスアンプを活性化する。センスアンプの活性化により、ビット線対には十分な電圧ストレスが印加される。その場合、ワード線は適宜Hレベルに駆動しても良い。ワード線が駆動される場合は、ビット線対間だけでなく、メモリセル間にもHレベルとLレベルの電圧を印加してストレスを印加することができ、メモリセル間の不良も顕在化させることができる。

【0060】図8は、ストレス試験モード時の動作を説明するための周辺回路部のブロック図である。また、図9は、ストレス試験モード時の動作波形図である。

【0061】メモリデバイスがスタンバイ状態にある状態で、外部からストレスコマンドSTRを投入することにより、メモリデバイスはストレス試験モードにエントリする。このストレスコマンドSTRは、ウェハ状態での試験時にのみ利用できる特別の入力端子を利用して、ストレスコマンド信号を与える方式でも良いし、または、通常使用時に使われるコマンドとは異なる特別のストレスコマンドをコマンド端子CMDから入力する方式でも良い。

【0062】ストレスコマンドSTRと同時に、外部からはビット線対に与えるべきストレス方向に対応するデータDinが、入出力端子DQ0に供給される。また、別の入出力端子DQ1には、センスアンプ活性化タイミング信号LEIが供給されるが、ストレスコマンドSTRが供給される時点では、非活性化状態（Lレベル）である。

【0063】ストレスコマンドSTRが与えられると、タイミングジェネレータ30がそのコマンドに応答して、ストレス試験モード信号φ1、φ2を共にHレベルにし、更に、制御信号S22～S27を所定のタイミングで生成する。ストレス試験モード信号φ1とφ2は同じ論理の信号であるが、信号φ1はHレベルが昇圧電源VPPレベル、信号φ2はHレベルが電源VDDレベルである点で異なる。

【0064】このストレス試験モード信号φ1、φ2は、少なくともメモリバンク内で複数のメモリブロックの制御回路MSAC、SSACに供給される。より好ましくは、メモリバンク内の全てのメモリブロックの制御回路MSAC、SSACに供給される。

【0065】図3に示した通り、ストレス試験モード信号φ1=Hにより、ビット線リセット信号BRSのLレベルになって、トランジスタN24、N25が非導通になり、センスアンプ活性化信号PSA、NSAとプリチャージ電圧VPRとが分離される。ビット線リセット信号BRSのLレベルにより、更に、ブロック選択信号φBLKがHレベルになり、グローバルデータバス線対GDB、/GDBとローカルデータバス線対LDB、/LDBとをつなぐデータバスゲートDBGが導通

し、少なくともメモリバンク内の複数のローカルデータバス線がグローバルデータバス線に接続される。より好ましくは、全てのローカルデータバス線がグローバルデータバス線に接続される。

【0066】更に、ビット線リセット信号BRSのLレベルにより、トランジスタN1、N2、N3が非導通になり、メモリコア内の複数の、好ましくは全てのビット線対が、プリチャージ電圧VPRから切り離される。

【0067】もう一方のストレス試験モード信号φ2=Hにより、メインセンスアンプ制御回路MSACのNORゲート10の出力は、Lレベルになることができる状態になる。即ち、センスアンプ活性化タイミング信号LEが次段のタイミング信号LEP、LENに伝わる状態になる。

【0068】コラムプリデコーダ38は、タイミングジェネレータ30からの制御信号S27によって、その出力S38が複数選択状態、好ましくは全選択状態にされる。それにより全コラム選択信号CLが選択状態（Hレベル）になる。この全コラム選択信号CLが選択状態になることにより、メモリバンク内の全てのビット線対BL、/BLが、対応するローカルデータバス線対LDB、/LDBに接続され、結局、全てのビット線対BL、/BLが、ローカルデータバス線対LDB、/LDBとグローバルデータバス線対GDB、/GDBとを介して、書き込みアンプWAに接続される状態になる。

【0069】データ入出力端子DQ0につながるライトデータバッファ40は、制御信号S22に応答して活性化され、入力データDinが内部ライトデータS40として内部に転送される。この内部ライトデータS40は、本実施の形態例において、一旦データスイッチ回路D-SWに伝えられる。このデータスイッチ回路D-SWは、通常動作時においては、同時に入力される複数のライトデータをそれぞれ対応する書き込みアンプWAに供給するが、ストレス試験モードでは、データ入出力端子DQ0の入力データだけを、全ての書き込みアンプWAに伝える。書き込みアンプWAに伝えられた書き込みデータは、グローバルデータバス線対GDB、/GDBに送られ、結局全てのビット線対BL、/BLに、データ入出力端子DQ0の入力データに応じたHレベル/Lレベルの電圧が印加される。この時、センスアンプは非活性化状態であるので、書き込みアンプWAは、複数のビット線対、好ましくは全ビット線対を同時に駆動することができる。但し、この駆動には、一定の時間を要する。図示される通り、複数のビット線対のレベルは、プリチャージレベルVPR（VDD/2）から、徐々にHレベル、Lレベル側に推移している。

【0070】通常動作時において、書き込みアンプWAは、グローバルデータバス線GDB、ローカルデータバス線LDBを介して、ただ1個のセンスアンプS/Aにデータを書き込むのに対して、ストレス試験モードでは、同一グローバルデータバス線GDBにつながる多数のセンスアンプS/Aに同時に書き込みを行わなければならない。

【0071】その場合、多数のセンスアンプS/Aが、書き込むデータと逆相のデータを保持していると、書き込みアンプWAの能力ではそれらの複数のセンスアンプを反転することができず、書き込み不可能になる。従って、ストレス試験モードでは、センスアンプS/Aを非活性状態にしたままで、書き込みアンプWAが、複数のビット線対にHレベル/Lレベルの電圧を印加する。但し、センスアンプS/Aが非活性状態であっても、全てのビット線対BL_i/BL_jに入力データが伝えられるには非常に長い時間がかかる。

【0072】さらに、ビット線対BL_i/BL_jに入力データが伝えられても、図3に示すように、コラム選択信号CLを受けるコラムゲートトランジスタN5、N6は、Nチャネルトランジスタであるため、Hレベル側のビット線は、コラム選択信号CLのHレベルである電源VDDからトランジスタの閾値電圧V_{th}より低いレベル(VDD-V_{th})までしか上がらない。

【0073】従って、ストレス試験モードでは、書き込みアンプが一定の長時間の間全てのビット線対にHレベル/Lレベルの電圧を印加した後に、センスアンプ活性化タイミング信号LE1が、外部から入出力端子DQ1を介して与えられる。センスアンプS/Aの活性化は、入出力端子DQ1をHレベルにするタイミングで行われる。

【0074】ストレス試験モードでは、入出力端子DQ1の入力は、タイミングジェネレータ30により制御信号S25を介して活性化された外部LEバッファ42に送られ、LEスイッチ回路LE-SWに伝えられる。LEスイッチ回路LE-SWは、通常動作時には、タイミングジェネレータ30が生成する内部センスアンプ活性化タイミング信号LE0を、タイミング信号LEとしてメインセンスアンプ制御回路MSACに供給する。一方、ストレス試験モードでは、外部LEバッファ42からの外部センスアンプ活性化タイミング信号LE1をセンスアンプ活性化タイミング信号LEとして、メインセンスアンプ制御回路MSACに供給する。これにより、入出力端子DQ1の変化がセンスアンプ活性化タイミング信号LEに伝えられ、図3に示したメインセンスアンプ制御回路MSACにより、タイミング信号LEP、LENに伝えられ、結局、全てのセンスアンプS/Aが活性化される。センスアンプS/Aが活性化されると、Hレベル側のビット線の電位は、電源VDDのレベルまで上昇し、ビット線対には十分なストレスが印加される。

【0075】以上示した方式により、メモリデバイス内の全てのビット線対に、同時に所望の電位を印加することができる。

【0076】尚、通常動作時は、メモリバンク内で1つのビット線対が書き込みアンプに接続されるのに対して、ストレス試験モードでは、少なくともメモリバンク内で通常時よりも多い複数のビット線対が書き込みアンプに接続されれば、従来例より短時間でストレス試験を行うことができる。そして、より好ましくは、全てのビ

ット線対がそれぞれの書き込みアンプに接続されて、一度に全てのビット線対にストレスが印加される。また、より好ましくは、全てのワード線のHレベルに駆動され、全てのメモリセルがビット線対に接続される。

【0077】また、図8の例では、コラムプリデコーダ38や外部LEバッファ42への制御信号S27、S25がタイミングジェネレータ30から与えられているが、これらの制御信号S27、S25は、ストレス試験モード信号φ2を利用することも可能である。

10 【0078】更に、上記のストレス試験モードにおいて、全てのワード線を選択状態にすることにより、隣接するメモリセル間での電圧ストレスを印加することができる。

【0079】更に、ストレス試験モードにおいて、センスアンプを活性化するタイミング信号を、内部のタイミングジェネレータが、ストレス試験コマンドに応答して、通常動作時と異なるタイミングで生成してもよい。

【0080】以上の実施の形態をまとめると、次の通りである。

20 【0081】1. 複数のビット線対と複数のワード線と、それらの交差位置に設けられた複数のメモリセルとを有するダイナミックメモリデバイスにおいて、書き込みアンプが接続されたデータバス線と、前記ビット線対に設けられ、前記ビット線対を駆動するセンスアンプとを有し、ストレス試験モードの時に、通常書き込みモード時より多い前記ビット線対が前記データバス線に同時に接続され、前記書き込みアンプから同時接続された前記ビット線対にHレベルとLレベルの電圧が印加され、その後、前記通常書き込みモード時とは異なるタイミングで、前記選択されたビット線対の前記センスアンプが活性化され、当該ビット線対が駆動されることを特徴とするダイナミックメモリデバイス。

30 【0082】2. 上記1において、前記通常書き込みモード時において、前記センスアンプが活性化された後に、前記書き込みアンプから書き込みデータに応じて選択された前記ビット線対にHレベルとLレベルの電圧が印加されることを特徴とするダイナミックメモリデバイス。

40 【0083】3. 上記1において、更に、前記書き込みアンプに書き込みデータを供給するデータ入力端子を有し、前記ストレス試験モード時において、前記データ入力端子から供給された書き込みデータに従って、前記書き込みアンプが前記接続されたビット線対に電圧を印加することを特徴とするダイナミックメモリデバイス。

【0084】4. 上記1において、前記ストレス試験モード時において、前記センスアンプを活性化するタイミングで、外部からセンスアンプ活性化タイミング信号が供給されることを特徴とするダイナミックメモリデバイス。

50 【0085】5. 上記1において、前記ストレス試験モ

ード時において、前記センスアンプを活性化するタイミングで、内部でセンスアンプ活性化タイミング信号が供給されることを特徴とするダイナミックメモリデバイス。

【0086】6. 上記1において、更に、前記ビット線対、ワード線、メモリセル及びセンスアンプをそれぞれ有する複数のメモリバンクを有し、前記通常書き込みモード時において、前記複数のメモリバンクそれぞれで、ビット線対が前記データバス線に接続され、前記ストレス試験モード時において、前記メモリバンク内で、前記通常書き込みモード時よりも多いビット線対が前記データバス線に同時に接続されることを特徴とするダイナミックメモリデバイス。

【0087】7. 上記6において、前記ストレス試験モード時において、前記メモリバンク内で、全てのビット線対が前記データバス線に同時に接続されることを特徴とするダイナミックメモリ。

【0088】8. 上記1において、前記データバス線は、第1のゲートを介して前記ビット線対に接続される複数のローカルデータバス線と、当該ローカルデータバス線に第2のゲートを介して接続されるグローバルデータバス線とを有し、前記書き込みアンプが前記グローバルデータバス線に接続され、前記通常書き込みモード時において、選択されたローカルデータバス線が前記第2のゲートを介して前記グローバルデータバス線に接続され、前記ストレス試験モード時において、複数のローカルデータバス線が前記第2のゲートを介して前記グローバルデータバス線に接続され、前記書き込みアンプにより前記グローバルデータバス線、前記複数のローカルデータバス線を介して、前記複数のビット線対にHレベル及びLレベルの電圧が印加されることを特徴とするダイナミックメモリデバイス。

【0089】9. 上記8において、前記ストレス試験モード時において、前記メモリバンク内で、全ての前記ローカルデータバス線が前記グローバルデータバス線に接続され、全てのビット線対が前記ローカルデータバス線に接続され、全てのセンスアンプが活性化されることを特徴とするダイナミックメモリデバイス。

【0090】10. 上記1において、前記ストレス試験モード時において、全てのワード線が選択されることを特徴とするダイナミックメモリデバイス。

【0091】11. 複数のビット線対と複数のワード線と、それらの交差位置に設けられた複数のメモリセルとを有するダイナミックメモリデバイスにおいて、書き込みアンプが接続されたデータバス線と、前記ビット線対に設けられ、前記ビット線対を駆動するセンスアンプとを有し、第1の動作モード時において、前記センスアンプが活性化された後に、選択されたビット線対が前記データバス線に接続され、前記書き込みアンプから前記選

択されたビット線対にHレベル及びLレベルの電圧が印加され、第2の動作モード時において、前記第1の動作モード時よりも多いビット線対が前記データバス線に接続され、前記書き込みアンプから前記接続されたビット線対にHレベル及びLレベルの電圧が印加された後に、前記センスアンプが活性化されることを特徴とするダイナミックメモリデバイス。

【0092】12. 上記11において、前記第1の動作モードは、通常書き込みモードであり、前記第2の動作モードは、ストレス試験モードであることを特徴とするダイナミックメモリデバイス。

【0093】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0094】

【発明の効果】以上、本発明によれば、ストレス試験時において、通常書き込みモード時よりも多くのビット線対に同時に書き込みアンプからHレベルとLレベルの電圧を印加することができるので、ストレス試験に要する時間を短くすることができる。

【図面の簡単な説明】

【図1】本実施の形態例におけるダイナミックメモリデバイスの全体構成図である。

【図2】メモリセルアレイとセンスアンプ列の構成図である。

【図3】センスアンプ回路部SAmnと、メインセンスアンプ制御回路MSACと、サブセンスアンプ制御回路SSACの具体的な回路図である。

【図4】アクティブモード時の動作を説明する為の周辺回路の構成図である。

【図5】アクティブモード時の動作波形図である。

【図6】ライトモード時の動作を説明する周辺回路部のブロック図である。

【図7】ライトモード時の動作波形図である。

【図8】ストレス試験モード時の動作を説明するための周辺回路部のブロック図である。

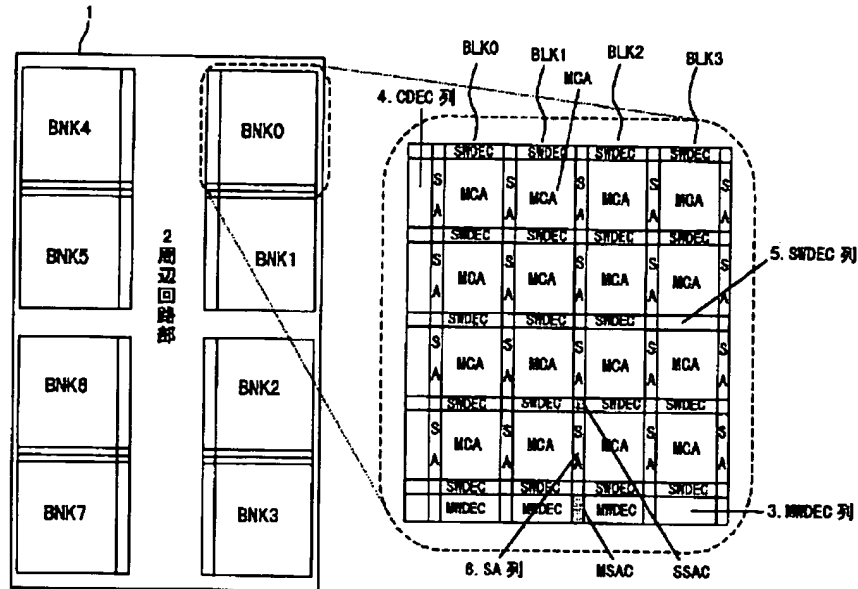
【図9】ストレス試験モード時の動作波形図である。

【符号の説明】

BL, /BL	ビット線対
WL	ワード線
S/A	センスアンプ
LDB, /LDB	ローカルデータバス線
GDB, /GDB	グローバルデータバス線
WA	書き込みアンプ
LE0	内部センスアンプ活性化タイミング信号
LE1	外部センスアンプ活性化タイミング信号
LE	センスアンプ活性化タイミング信号
PSA, NSA	センスアンプ活性化信号
φ1, φ2	ストレス試験モード信号

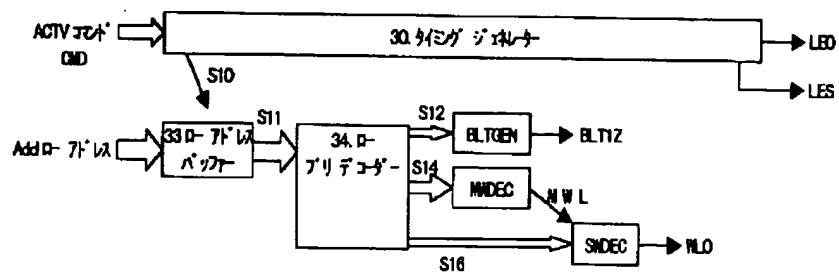
【図1】

メモリデバイス全体構成図



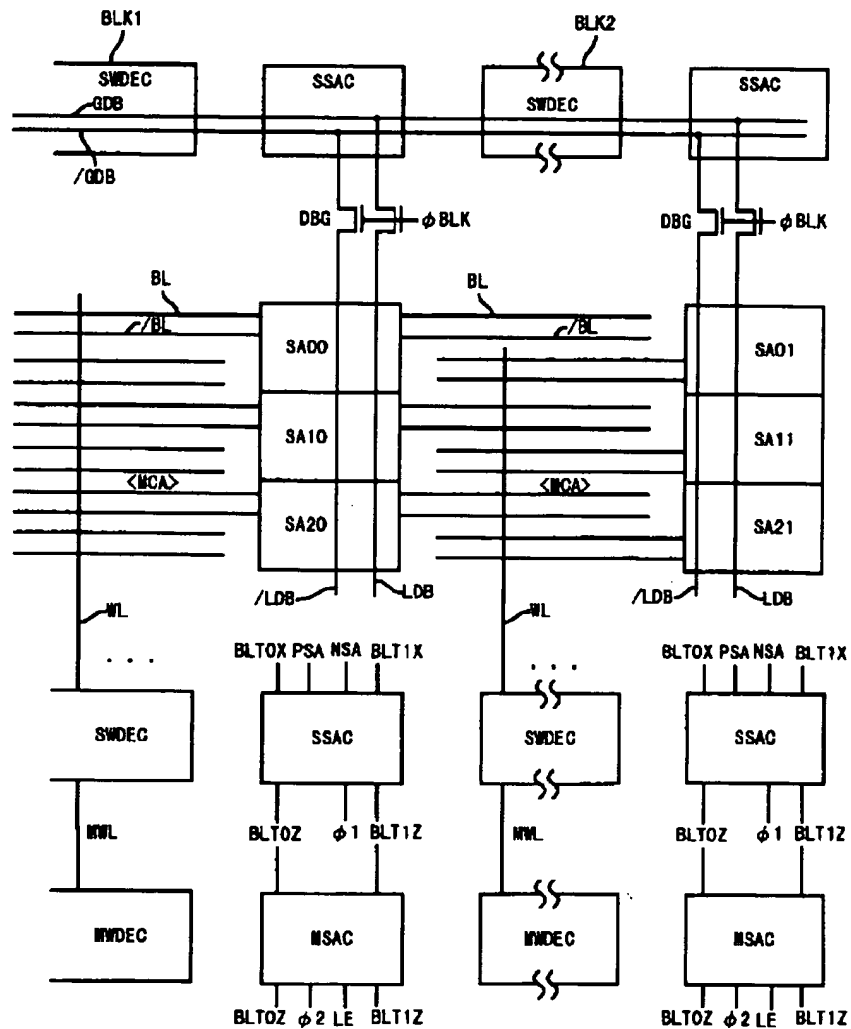
【図4】

ACTV時動作の周辺回路部ブロック図

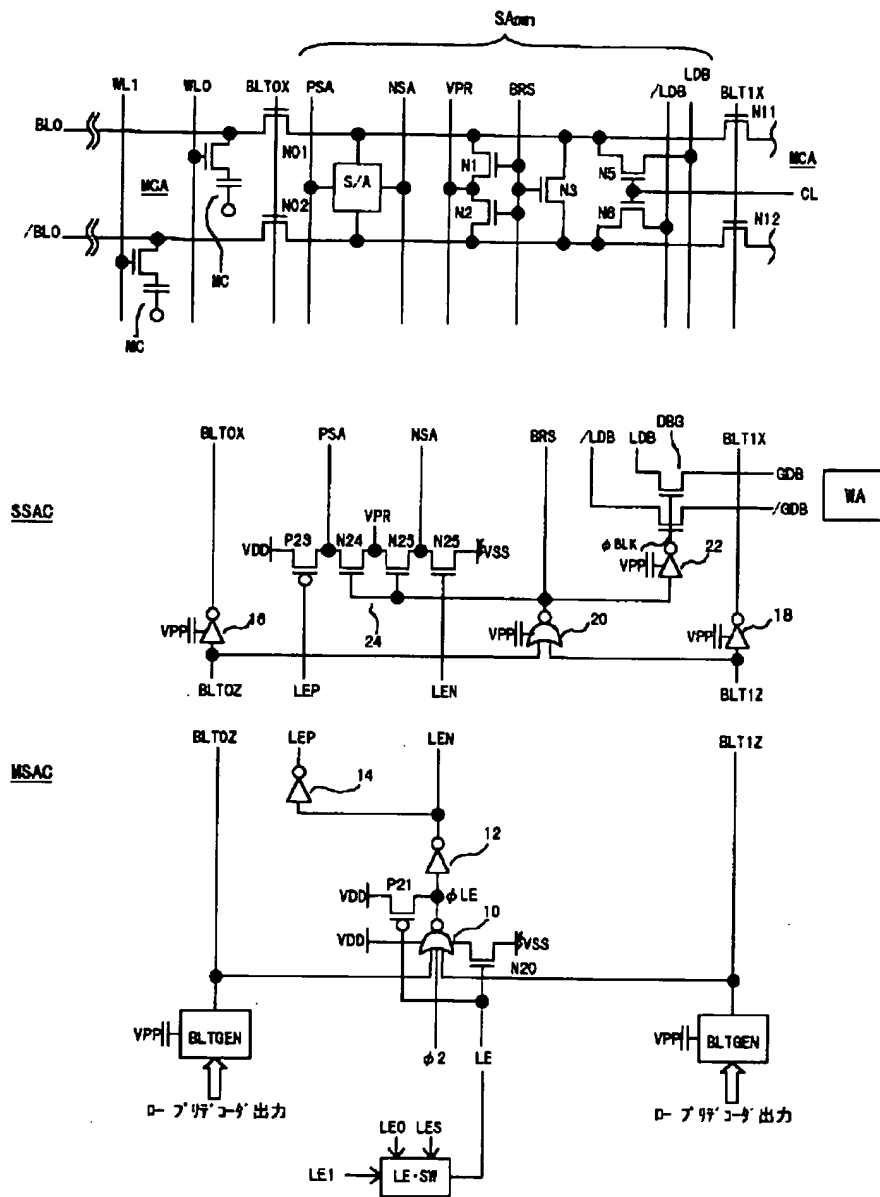


【図2】

メモリセルアレイとセンスアンプ列の構成図

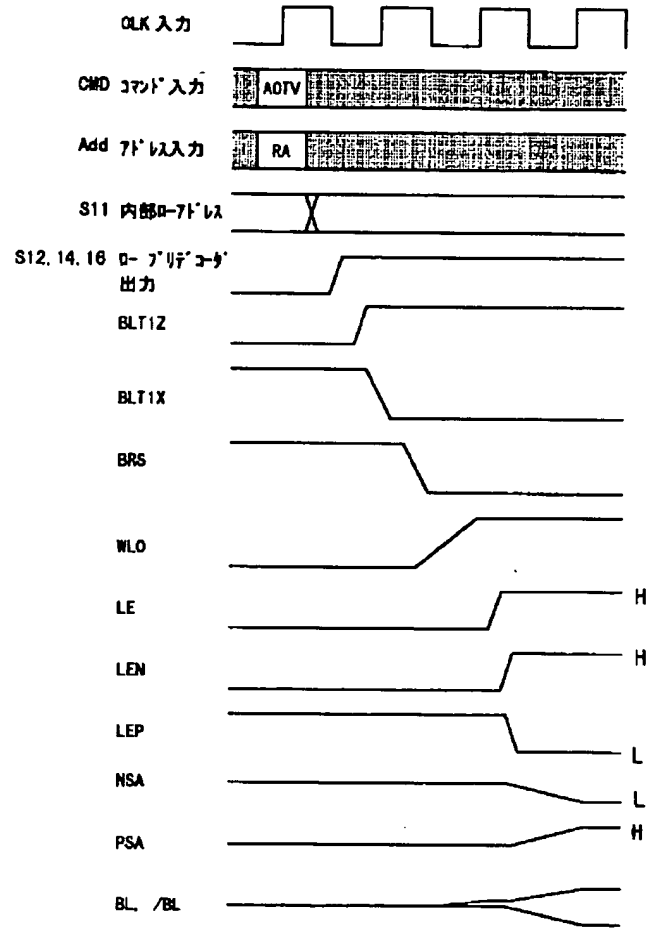


【図3】



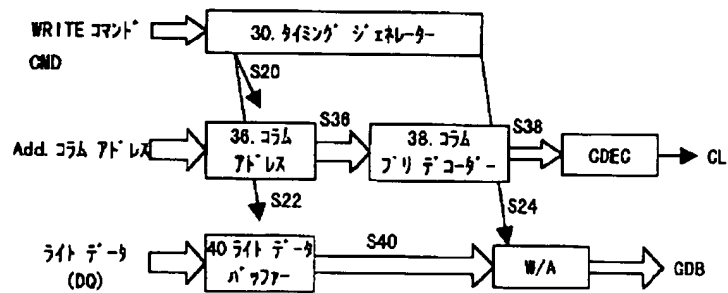
【図5】

ACTV時動作波形



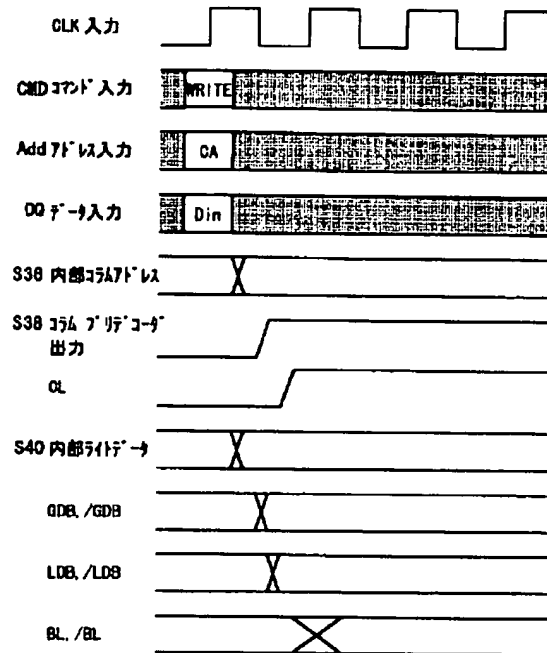
【図6】

WRITE時動作の周辺回路部ブロック図



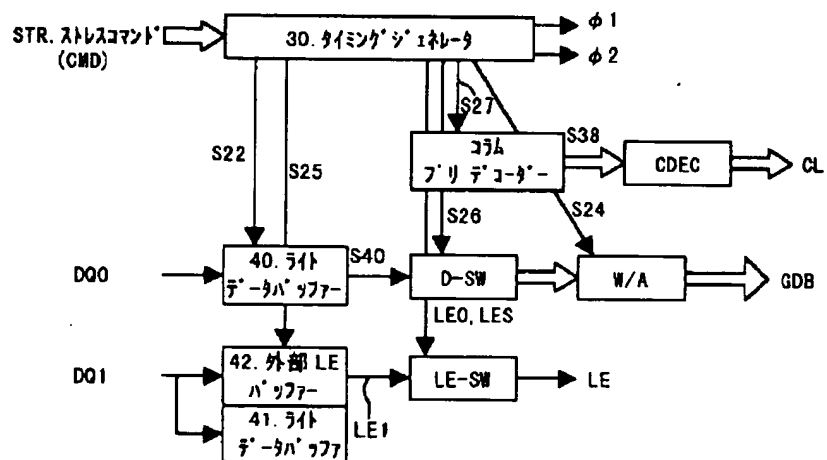
【図7】

WRITE時動作波形



【図8】

ストレス試験モード時の動作の周辺回路部ブロック図



【図9】

ストレス試験モード時動作波形

